

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-311947

(P2004-311947A)

(43) 公開日 平成16年11月4日(2004.11.4)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO1L 21/8247	HO1L 29/78 371	5F083
HO1L 27/10	HO1L 27/10 481	5F101
HO1L 27/115	HO1L 27/10 434	
HO1L 29/788		
HO1L 29/792		

審査請求 未請求 請求項の数 10 O L (全 13 頁)

(21) 出願番号 特願2003-418210 (P2003-418210)
 (22) 出願日 平成15年12月16日 (2003.12.16)
 (31) 優先権主張番号 2003-021059
 (32) 優先日 平成15年4月3日 (2003.4.3)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 591024111
 株式会社ハイニックスセミコンダクター
 大韓民国京畿道利川市夫鉢邑牙英里山13
 6-1
 (74) 代理人 100064724
 弁理士 長谷 照一
 (74) 代理人 100073302
 弁理士 神谷 牧
 (72) 発明者 禹 元植
 大韓民国京畿道九里市仁昌洞 住公アパー
 ト 414-1902
 Fターム(参考) 5F083 EP02 EP23 EP33 EP34 EP76
 ER22 GA02 GA27 KA11 MA06
 NA01 PR37 PR40 PR43 PR44
 PR45 PR53 PR54 PR55

最終頁に続く

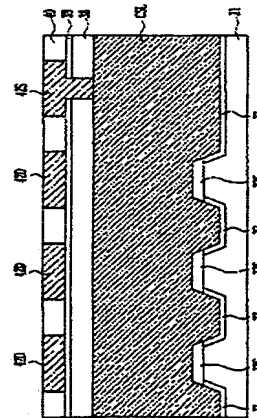
(54) 【発明の名称】 NANDフラッシュメモリ素子の製造方法

(57) 【要約】 (修正有)

【課題】 共通ソースラインの抵抗を減少させながら、ドレインコンタクトホールのアスペクト比を減少させることが可能なNANDフラッシュメモリ素子の製造方法を提供する。

【解決手段】 複数の素子分離膜が形成され、セル地域には、ソース選択トランジスタ、複数のメモリセル及びドレイン選択トランジスタが形成され、周辺回路地域には、周辺トランジスタが形成された半導体基板を提供する段階と、第1層間絶縁膜を形成する段階と、前記第1層間絶縁膜をエッチングしてセルソース領域33S及びこの領域間の素子分離膜を露出させ、前記素子分離膜をエッチングして、半導体基板31が露出される共通ソースラインコンタクトホールを形成する段階と、イオン注入工程を行って前記共通ソースラインコンタクトホールの底面にイオン注入領域37を形成する段階と、前記共通ソースラインコンタクトホールに導電性物質を充填して共通ソースラインCSLを形成する段階とを含む。

【選択図】 図6b



【特許請求の範囲】

【請求項 1】

互いに平行な複数の素子分離膜が形成され、セル地域には複数本のストリングのそれぞれにセルソース領域を有するソース選択トランジスタ、セル不純物領域を有する複数のメモリセル及びセルドレイン領域を有するドレイン選択トランジスタが直列に連結されて形成され、周辺回路地域にはソース／ドレイン接合部を有する周辺トランジスタが形成された半導体基板を提供する段階と、

前記結果物が形成された半導体基板上に第1層間絶縁膜を形成する段階と、

前記第1層間絶縁膜の一部をエッチングして前記セルソース領域及びこの領域の間の素子分離膜を露出させ、前記露出したソース分離膜をエッチングして、半導体基板が露出される共通ソースラインコンタクトホールを形成する段階と、 10

イオン注入工程を行って前記共通ソースラインコンタクトホールの底面の前記露出した半導体基板にイオン注入領域を形成する段階と、

前記イオン注入領域が形成された前記共通ソースラインコンタクトホールに導電性物質を充填して共通ソースラインを形成する段階と
を含んでなる NAND フラッシュメモリ素子の製造方法。

【請求項 2】

請求項 1 に記載の NAND フラッシュメモリ素子の製造方法であって、

前記第1層間絶縁膜を形成する段階の前に、さらに、前記結果物の形成された半導体基板上に前記第1層間絶縁膜に対してエッチング選択比の大きいエッチング停止膜を形成する段階を含む 20
ことを特徴とする製造方法。

【請求項 3】

請求項 2 に記載の NAND フラッシュメモリ素子の製造方法において、

前記共通ソースラインコンタクトホールを形成する段階は、前記第1層間絶縁膜の一部をエッチングして前記エッチング停止膜を露出させる段階と、前記露出したエッチング停止膜をエッチングし、前記セルソース領域及びこの領域の間の素子分離膜を露出させ、前記露出した素子分離膜をエッチングして半導体基板を露出させる段階とを含む
ことを特徴とする製造方法。

【請求項 4】

請求項 1 に記載の NAND フラッシュメモリ素子の製造方法において、

前記共通ソースラインコンタクトホールは、その底面が前記セルソース領域と前記セルソース領域同士の間形成された前記イオン注入領域によって連続性の導電性ラインからなる
ことを特徴とする製造方法。

【請求項 5】

請求項 1 に記載の NAND フラッシュメモリ素子の製造方法において、

前記不純物イオン注入工程は、注入エネルギー $15 \text{ keV} \sim 25 \text{ keV}$ 、ドーズ $1 \times 10^{12} \sim 1 \times 10^{14} \text{ atoms/cm}^2$ の範囲で行い、ヒ素又はリンを不純物イオンとして使用する
ことを特徴とする製造方法。 40

【請求項 6】

請求項 5 に記載の NAND フラッシュメモリ素子の製造方法において、

前記不純物イオン注入工程は、傾斜注入を並行して実施する
ことを特徴とする製造方法。

【請求項 7】

請求項 6 に記載の NAND フラッシュメモリ素子の製造方法において、

前記傾斜注入の際にウェーハを回転させる
ことを特徴とする製造方法。

【請求項 8】

請求項1に記載のNANDフラッシュメモリ素子の製造方法において、

前記共通ソースラインを形成する段階は、前記イオン注入領域の形成された前記共通ソースラインコンタクトホールが充填されるように前記第1層間絶縁膜上に前記伝導性物質でドーパされたポリシリコンを蒸着する段階と、全面エッチング工程で前記第1層間絶縁膜が一定の厚さだけ除去されるまで、前記蒸着されたドーパポリシリコン層をエッチングする段階とを含むことを特徴とする製造方法。

【請求項9】

請求項8に記載のNANDフラッシュメモリ素子の製造方法において、

前記全面エッチング工程は、前記ソース選択トランジスタの上端面が露出する時点まで行う

ことを特徴とする製造方法。

【請求項10】

請求項1に記載のNANDフラッシュメモリ素子の製造方法であって、

前記共通ソースラインを形成する段階の後、さらに、前記共通ソースラインを含んだ前記第1層間絶縁膜上に第2層間絶縁膜を形成する段階と、前記第2層間絶縁膜上にトレンチエッチング停止膜及びトレンチ絶縁膜を順次形成する段階と、ダマシン工程で多数のダマシンパターンを同時に形成する段階と、前記ダマシンパターンを金属で充填して、前記共通ソースラインに連結される金属配線、前記セルドレイン領域に連結されるビットライン、前記周辺トランジスタのゲートに連結される金属配線、及び前記周辺トランジスタの前記ソース/ドレイン接合部に連結される金属配線をそれぞれ形成する段階を含むことを特徴とする製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、NANDフラッシュメモリ素子の製造方法に係り、特に、金属コンタクト工程の際にコンタクトホールのアスペクト比(aspect ratio)(=深さ:径)を減少させることが可能なNANDフラッシュメモリ素子の製造方法に関する。

【背景技術】

【0002】

フラッシュメモリ素子のような不揮発性メモリ素子のセルに格納された情報は、電源が遮断されても消滅しない。したがって、フラッシュメモリ素子は、メモリカードなどに広く適用される。フラッシュメモリ素子は、2種類に分類される。その一つは、NAND型フラッシュメモリ素子、もう一つは、NOR型フラッシュメモリ素子である。

【0003】

NANDフラッシュメモリ素子の構造は、セル地域と周辺回路地域に大別される。セル地域は、複数本のストリングからなり、各ストリングには、ソース選択トランジスタ、複数のメモリセル及びドレイン選択トランジスタが直列に連結される。ソース選択トランジスタのソース領域は、共通ソースラインに接続され、ドレイン選択トランジスタのドレイン領域は、ビットラインに接続される。周辺回路地域は、PMOSトランジスタとNMOSトランジスタなどの周辺トランジスタを含んでなる。

【0004】

一方、NORフラッシュメモリ素子のセル地域は、複数のメモリセル、ビットライン及び共通ソースラインを含んでなるが、ビットラインと共通ソースラインとの間には一つのメモリセルのみが介在する。

【0005】

したがって、NANDフラッシュメモリ素子は、NORフラッシュメモリ素子に比べて高い集積度を示す一方、大きいセル電流を必要とする。ここで、セル電流は、メモリセルに格納された情報を読み出す間、ビットライン及び共通ソースラインを通して流れる電流を意味する。よって、NANDフラッシュメモリ素子のセル電流を増加させるための努力

10

20

30

40

50

は、NORフラッシュメモリ素子に比べてさらに要求されている。その理由は、セル電流が大きいほど、フラッシュメモリ素子のアクセス時間が速くなるためである。結果的に、NANDフラッシュメモリ素子の動作速度を向上させるためには、ビットライン及び／又は共通ソースラインの電氣的抵抗を減少させることが要求される。

【0006】

図1aは、従来の技術に係るNANDフラッシュメモリ素子の製造方法を説明するための断面図である。図1bは、従来の技術に係るNANDフラッシュメモリ素子製造方法を説明するために、共通ソースラインが形成されるべき領域に沿って切断した断面図である。

【0007】

図1a及び図1bを参照すると、半導体基板11の所定の領域に互いに平行な複数の素子分離膜12を形成して、活性領域を画定(define)する。素子分離膜12は、LOCOS (local oxidation of silicon)工程又はトレンチ素子分離工程で形成する。最近では、素子の高集積化のためにトレンチ素子分離工程が多く適用されている。NANDフラッシュメモリ素子は、その構造上、セル地域と周辺回路地域に大別されるが、セル地域は複数本のストリングからなり、各ストリングにはソース選択トランジスタSST、複数のメモリセルMC1、……、MCn及びド레인選択トランジスタDSTが直列に連結されて形成される。周辺回路地域は、POMOSTランジスタとNMOSTランジスタなどの周辺トランジスタPTが形成される。その後、これらを電氣的に連結させるために金属コンタクト工程を行うが、以下で説明する。

【0008】

全体構造の上にエッチング停止膜14を形成した後、エッチング停止膜14が形成された結果物の全体構造の上に第1層間絶縁膜15を形成する。第1層間絶縁膜15の表面を化学的機械的研磨(CMP)工程で平坦化した後、共通ソースライン用マスクを用いたエッチング工程で第1層間絶縁膜15及びエッチング停止膜14をエッチングして、セルソース領域13S及び素子分離膜12が露出された共通ソースラインコンタクトホールを形成し、共通ソースラインコンタクトホールが充填されるようにドーブポリシリコン層(不純物がドーブされたポリシリコン層)を形成した後、第1層間絶縁膜15が露出されるようにドーブポリシリコン層を全面エッチングして共通ソースラインCSLを形成する。このような工程を一名セルソースポリプラグ(cell source poly plug)工程と称する。

【0009】

共通ソースラインCSLを含んだ第1層間絶縁膜15上に第2層間絶縁膜18を形成し、ド레인コンタクト用マスクを用いたエッチング工程で第2層間絶縁膜18、第1層間絶縁膜15及びエッチング停止膜14をエッチングして、セルド레인領域13Dそれぞれが露出したセルド레인コンタクトホールを形成し、セルド레인コンタクトホールが充填されるようにドーブポリシリコン層を形成した後、第2層間絶縁膜18が露出されるようにドーブポリシリコン層を全面エッチングしてセルド레인コンタクトプラグDCPを形成する。このような工程を一名セルド레인ポリプラグ(cell drain poly plug)工程と称する。

【0010】

セルド레인コンタクトプラグDCPを含んだ第2層間絶縁膜18上にトレンチ窒化膜19及びトレンチ酸化膜20を順次形成した後、ダマシン(damascene)工程でダマシンパターンを形成する。ダマシンパターンが埋め込まれるように金属を蒸着した後、全面エッチング工程を行って、共通ソースラインCSLに連結される金属配線22S、ド레인コンタクトプラグDCPに連結されるビットライン22D、周辺トランジスタPTのゲートに連結される金属配線22G及び周辺トランジスタPTのソース／ド레인接合部13Pに連結される金属配線22Pを形成する。

【0011】

上述したように従来の技術によれば、共通ソースラインCSLは、第1層間絶縁膜15によって厚さが決定される。言い換えれば、共通ソースラインCSLの電氣的な抵抗は、

10

20

30

40

50

第1層間絶縁膜15の厚さが厚いほど減少する。したがって、共通ソースラインCSLの電気的な抵抗を考慮する際、第1層間絶縁膜15の厚さを減らすのに限界があり、これにより後続の金属コンタクト工程、特にセルドレインコンタクト工程でコンタクトホールのアスペクト比の増加要因として作用してセルドレインコンタクトプラグDCPをまず形成する他はなかった。アスペクト比が大きい場合、周辺トランジスタPTのゲートに連結される金属配線22G及び周辺トランジスタPTのソース／ドレイン接合部13Pに連結される金属配線22Pの形成のためのコンタクト工程を別途のマスク作業で実施するしかない工程上の煩わしさが伴う。結果的に、高性能NANDフラッシュメモリ素子を実現するためには、ビットライン22Dをセルドレイン領域13Dに連結するためのコンタクトホールのアスペクト比が増加することを防止しながら共通ソースラインの抵抗を最小化することが要求される。 10

【発明の開示】

【発明が解決しようとする課題】

【0012】

したがって、この発明の目的は、共通ソースラインの抵抗を減少させながら、ドレインコンタクトホールのアスペクト比を減少させることが可能なNANDフラッシュメモリ素子の製造方法を提供することにある。

【課題を解決するための手段】

【0013】

上記目的を達成するため、この発明の実施例に係るNANDフラッシュメモリ素子の製造方法は、互いに平行な複数の素子分離膜が形成され、セル地域には、複数本のストリングのそれぞれにセルソース領域を有するソース選択トランジスタ、セル不純物領域を有する複数のメモリセル及びセルドレイン領域を有するドレイン選択トランジスタが直列に連結されて形成され、周辺回路地域には、ソース／ドレイン接合部を有する周辺トランジスタが形成された半導体基板を提供する段階と、前記結果物の形成された半導体基板上に第1層間絶縁膜を形成する段階と、前記第1層間絶縁膜の一部分をエッチングして前記セルソース領域及びこの領域間の素子分離膜を露出させ、前記露出したソース分離膜をエッチングして、半導体基板が露出される共通ソースラインコンタクトホールを形成する段階と、イオン注入工程を行って前記共通ソースラインコンタクトホールの底面の前記露出した半導体基板にイオン注入領域を形成する段階と、前記イオン注入領域の形成された前記共通ソースラインコンタクトホールに導電性物質を充填して共通ソースラインを形成する段階とを含む。 20 30

【0014】

前記において、前記第1層間絶縁膜を形成する段階の前に、前記結果物の形成された半導体基板上に前記第1層間絶縁膜に対してエッチング選択比の大きいエッチング停止膜を形成する段階をさらに含むことができる。

【0015】

前記不純物イオン注入工程は、注入エネルギー15keV～25keV、ドーズ量 $1E12 (=1 \times 10^{12}) \sim 1E14 (=1 \times 10^{14}) \text{ atoms/cm}^2$ の範囲で行い、ヒ素又はリンを不純物イオンとして使用する。前記不純物イオン注入工程は、傾斜注入を並行して実施することができる。 40

【発明の効果】

【0016】

この発明によれば、共通ソースラインの抵抗を減少させながらドレインコンタクトホールのアスペクト比を減少できるので、セルドレインコンタクトプラグ工程の省略が可能で、コンタクトマスク工程を減らすことができるため、工程の単純化及び生産性を向上させることができるとともに、工程マージンを確保することができるため、素子の信頼性及び収率を向上させることができる。

【発明を実施するための最良の形態】

【0017】

以下、添付図面に基づいてこの発明の好適な実施例を説明する。ただし、この発明は、下記の実施例に限定されるものではなく、様々な変形実現が可能である。これらの実施例は、この発明の開示を完全にし、当技術分野で通常の知識を有する者にこの発明の範疇を知らせるために提供されるものである。なお、図面上において、同一の符号は同一の要素を示す。

【0018】

図2aないし図6aは、この発明の実施例に係るNANDフラッシュメモリ素子の製造方法を説明するための断面図であり、図2bないし図6bは、この発明の実施例に係るNANDフラッシュメモリ素子の製造方法を説明するために、共通ソースラインが形成されるべき領域に沿って切断した断面図である。

【0019】

図2a及び図2bを参照すると、半導体基板31の所定の領域に互いに平行な複数の素子分離膜32を形成して活性領域を画定(define)する。素子分離膜32は、LOCOS(local oxidation of silicon)工程又はトレンチ素子分離工程で形成し、素子の高集積化のためにはトレンチ素子分離工程で形成することが好ましい。NANDフラッシュメモリ素子は、セル地域と周辺回路地域に大別されるが、セル地域は、複数本のストリングからなり、各ストリングには、ソース選択トランジスタSST、複数のメモリセルMC1、……、MCn及びドレイン選択トランジスタDSTが直列に連結されて形成される。周辺回路地域は、PMOSTランジスタとNMOSTランジスタなどの周辺トランジスタPT(Peri-Transistor)が形成される。ソース選択トランジスタSSTは、セルソース領域33Sを有し、複数のメモリセルMC1、……、MCnは、セル不純物領域33Cを有し、ドレイン選択トランジスタDSTは、セルドレイン領域33Dを有し、周辺トランジスタPTは、ソース/ドレイン接合部33Pを有する。このような結果物の全体構造の上にエッチング停止膜(etch stop film)34を形成した後、エッチング停止膜34の形成された結果物の全体構造の上に第1層間絶縁膜35を形成する。

【0020】

前記エッチング停止膜34は、後続の工程で形成される第1層間絶縁膜35に対してエッチング選択比の大きい絶縁物質、例えばシリコン窒化物を10～50nm程度の薄い厚さに結果物の全面に沿って蒸着して形成される。第1層間絶縁膜35は、酸化物系統のBPSG(Boron Phosphorous Silicate Glass)、USG(Undoped Silicate Glass)、HDP(High Density Plasma)を400～500nm程度の厚さに蒸着して形成される。

【0021】

図3a及び図3bを参照すると、共通ソースライン用マスク(図示せず)を用いたエッチング工程で第1層間絶縁膜35及びエッチング停止膜34をエッチングし、次に各セルソース領域33Sの間のソース分離膜32の露出した部分をエッチングして、セルソース領域33S及び半導体基板31の一部が露出された共通ソースラインコンタクトホール36を形成する。不純物イオン注入工程で共通ソースラインコンタクトホール36の底面の半導体基板31にイオン注入領域37を形成する。これにより、共通ソースラインコンタクトホール36の底面は、セルソース領域33Sとこの領域33Sの間に形成されたイオン注入領域37によって連続性の導電性ラインになる。

【0022】

前記において、共通ソースラインコンタクトホール36を形成するために行うエッチング工程は、素子分離膜32までエッチングしなければならないため、露出したセルソース領域33Sがエッチング損傷を被って電気的特性が悪くなるおそれがあるが、後続の不純物イオン注入工程時に不純物イオンが注入されて電気的特性が改善される。イオン注入工程は、注入エネルギー15keV～25keV、ドーズ $1E12 \sim 1E14 \text{ atom/cm}^2$ の範囲で行う。この際、使用される不純物としては、ヒ素AsまたはリンPを使用する。素子分離膜32が除去された半導体基板31の傾斜部分にイオン注入領域37が良好に形成されるようにするために、イオン注入工程時に傾斜注入(tilt implantation)を並行することが好ましく、この傾斜注入をウェーハを回転させながら行うことがさらに好まし

10

20

30

40

50

い。

【0023】

一方、エッチング工程によって素子分離膜32を除去する工程で、素子分離膜32を完全に除去することが好ましいが、セルソース領域33Sのエッチング損傷が激しくなるおそれがある際には、これを考慮して素子分離膜32を完全に除去しなくてもよい。この場合、共通ソースラインコンタクトホール36の底面は、セルソース領域33Sとこの領域33Sの間に形成されたイオン注入領域37が不連続となり、連続した場合よりは電氣的抵抗の面で不利であるが、後続の工程で形成される共通ソースラインによって全てのセルソース領域33S及び不連続のイオン注入領域37が電氣的に相互連結されるため、大きい影響はない。

10

【0024】

さらに、共通ソースライン用マスクを用いたエッチング工程は、第1層間絶縁膜35の表面を化学的機会的研磨CMP工程で平坦化した後行うことが通常であるが、この発明では、このような研磨工程なしで行うことができる。その理由は、後続の工程を説明することにより理解されるが、共通ソースラインを形成するための全面エッチング工程の際に第1層間絶縁膜35が一定の厚さだけ除去されて結果的に表面が平坦化されるためである。

【0025】

図4a及び図4bを参照すると、共通ソースラインコンタクトホール36が充填されるように第1層間絶縁膜35上に400～500nm程度の厚さに導電性物質、好ましくはドーパされたポリシリコン（以下、「ドーパポリシリコン」）を蒸着した後、全面エッチング工程でドーパポリシリコン層だけでなく、第1層間絶縁膜35を除去することが可能な厚さだけ、好ましくはソース選択トランジスタSSTの上端面のエッチング停止膜34が露出されるまで、エッチングを行って、共通ソースラインコンタクトホール36内にドーパポリシリコンが充填された共通ソースラインCSLを形成する。このような工程を一名セルソースポリプラグ(cell source poly plug)工程と称する。

20

【0026】

前記において、この発明の共通ソースラインCSLを形成する工程は、第1層間絶縁膜35を最大限の厚さに除去するため、既存の共通ソースラインを形成する工程と比較する際に、それだけ高さが低くなって後続工程のアスペクト比を減らすことができるという利点はあるが、図5bに示すように、セルソース領域33S上の厚さ「T1」が既存の共通ソースラインより薄くなって電氣的な抵抗が高くなるという欠点がある。ところが、この発明の共通ソースラインCSLは、素子分離膜32が除去された部分にドーパポリシリコンが充填されてその部分の厚さ「T2」が比較的厚くなり、それだけでなく、素子分離膜32が除去された部分の半導体基板31に形成されたイオン注入領域37を含むため、それだけ電氣的抵抗の面で不利ではない。すなわち、共通ソースラインCSLの抵抗に関連のある第1層間絶縁膜35の高さを低くすることができるため、後続工程のアスペクト比を減少させることができる。

30

【0027】

図5a及び図5bを参照すると、共通ソースラインCSLを含んだ第1層間絶縁膜35上に第2層間絶縁膜38を形成した後、化学的機会的研磨CMP工程などで表面を平坦化する。第2層間絶縁膜38上にトレンチエッチング停止膜39及びトレンチ絶縁膜40を順次形成した後、ダマシン工程でダマシンパターン41S、42D、41P及び41Gを同時に形成する。

40

【0028】

前記において、第2層間絶縁膜38は、酸化物系統のBPS(Boron Phosphorous Silicate Glass)、USG(Undoped Silicate Glass)、HDP(High Density Plasma)を400～500nm程度の厚さに蒸着して形成する。トレンチエッチング停止膜39は、後続の工程で形成されるトレンチ絶縁膜40に対してエッチング選択比の大きい絶縁物質、例えばシリコン窒化物を10～50nm程度の薄い厚さに第2層間絶縁膜38上に蒸着して形成する。トレンチ絶縁膜40は、酸化物系統のBPS(Boron Phosphorous Silicate Glas

50

s)、U S G (Undoped Silicate Glass)、H D P (High Density Plasma)を250～350 nm程度の厚さに蒸着して形成する。

【0029】

共通ソースラインコンタクト用ダマシンプターン41S、セルドレインコンタクト用ダマシンプターン41D、周辺トランジスタのソース／ドレインコンタクト用ダマシンプターン41P及び周辺トランジスタのゲートコンタクト用ダマシンプターン41Gそれぞれは、1回のダマシン工程で同時に形成される。これは、前述したように、共通ソースラインCSL形成工程の際に第1層間絶縁膜34を最大限エッチングしたため、ダマシンプターン41S、41D、41P及び41Gそれぞれのコンタクトホール部分のアスペクト比が低くなって可能である。アスペクト比が最も高くて密集するように形成されるセルドレイン領域33Dのコンタクトホール部分の場合、従来ではアスペクト比が11：1程度と高いため、必ずセルドレインポリプラグ工程を行ってコンタクトホールの内部にセルドレインコンタクトプラグをまず形成した後、ビットラインを別個の工程で形成する他はなかったが、この発明の場合、アスペクト比が8.5：1程度に減らすことができるため、セルドレインコンタクトプラグ工程なしでコンタクトホールの部分に金属を埋め込むことができる。

【0030】

一方、この発明の共通ソースラインCSL形成のための工程を適用し、以後の工程を前記この発明の実施例で説明した方法ではなく、通常の方法、すなわち、セルドレインコンタクトプラグ工程などが使用される通常の方法を適用して、NANDフラッシュメモリ素子を製造することができる。この場合、工程の単純化は得ることができないが、アスペクト比の減少による工程安定性を得ることができるため、素子の工程マージンを高めることができる。

【0031】

図6a及び図6bを参照すると、ダマシンプターン41S、41D、41P及び41Gが埋め込まれるように全体構造上に金属を蒸着した後、トレンチ絶縁膜40の上部表面が露出するまで全面エッチング工程を行い、共通ソースラインCSLに連結される金属配線42S、セルドレイン領域33Dに連結されるビットライン42D、周辺トランジスタPTのゲートに連結される金属配線42G、及び周辺トランジスタPTのソース／ドレイン接合部33Pに連結される金属配線42Pをそれぞれ形成する。

【0032】

この発明は、好適な実施例を参照して説明されたこの出願の特定分野に制限されず、むしろ、この発明の範囲は、この出願の特許請求の範囲によって理解されるべきである。

【図面の簡単な説明】

【0033】

【図1a】従来の技術に係るNANDフラッシュメモリ素子の製造方法を説明するための断面図である。

【図1b】従来の技術に係るNANDフラッシュメモリ素子の製造方法を説明するために、共通ソースラインが形成されるべき領域に沿って切断した断面図である。

【図2a】この発明の実施例に係るNANDフラッシュメモリ素子の製造方法を説明するための断面図である。

【図2b】この発明の実施例に係るNANDフラッシュメモリ素子の製造方法を説明するために、共通ソースラインが形成されるべき領域に沿って切断した断面図である。

【図3a】この発明の実施例に係るNANDフラッシュメモリ素子の製造方法を説明するための断面図である。

【図3b】この発明の実施例に係るNANDフラッシュメモリ素子の製造方法を説明するために、共通ソースラインが形成されるべき領域に沿って切断した断面図である。

【図4a】この発明の実施例に係るNANDフラッシュメモリ素子の製造方法を説明するための断面図である。

【図4b】この発明の実施例に係るNANDフラッシュメモリ素子の製造方法を説明する

ために、共通ソースラインが形成されるべき領域に沿って切断した断面図である。

【図5a】この発明の実施例に係るNANDフラッシュメモリ素子の製造方法を説明するための断面図である。

【図5b】この発明の実施例に係るNANDフラッシュメモリ素子の製造方法を説明するために、共通ソースラインが形成されるべき領域に沿って切断した断面図である。

【図6a】この発明の実施例に係るNANDフラッシュメモリ素子の製造方法を説明するための断面図である。

【図6b】この発明の実施例に係るNANDフラッシュメモリ素子の製造方法を説明するために、共通ソースラインが形成されるべき領域に沿って切断した断面図である。

【符号の説明】

【0034】

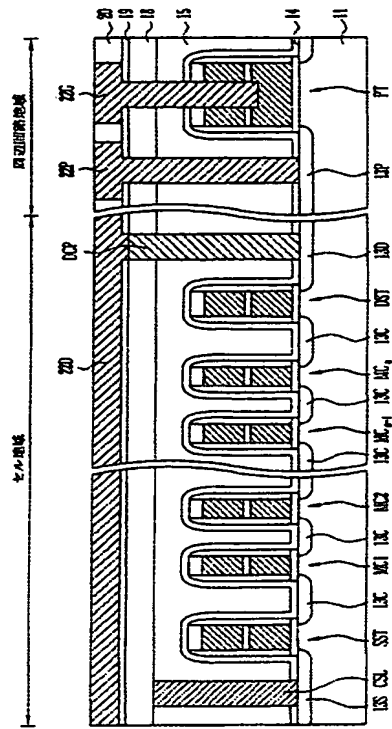
11、31	半導体基板	
12、32	素子分離膜	
13S、33S	セルソース領域	
13C、33C	セル不純物領域	
13D、33D	セルドレイン領域	
13P、33P	ソース／ドレイン接合部	
14、34	エッチング停止膜	
15、35	第1層間絶縁膜	
36	共通ソースラインコンタクトホール	20
37	イオン注入領域	
18、38	第2層間絶縁膜	
19、39	トレンチエッチング停止膜	
20、40	トレンチ絶縁膜	
41S	共通ソースラインコンタクト用ダマシンプターン	
41D	セルドレインコンタクト用ダマシンプターン	
41P	周辺トランジスタのソース／ドレインコンタクト用ダマシンプターン	
41G	周辺トランジスタのゲートコンタクト用ダマシンプターン	
22S、42S	セルソース用金属配線	
22D、42D	ビットライン	30
22P、42P	周辺トランジスタのゲート用金属配線	
22G、42G	周辺トランジスタのソース／ドレイン接合部用金属配線	
SST	ソース選択トランジスタ	
MC1、……、MCn	メモリセル	
DST	ドレイン選択トランジスタ	
PT	周辺トランジスタ	
CSL	共通ソースライン	
DCP	ドレインコンタクトプラグ	

10

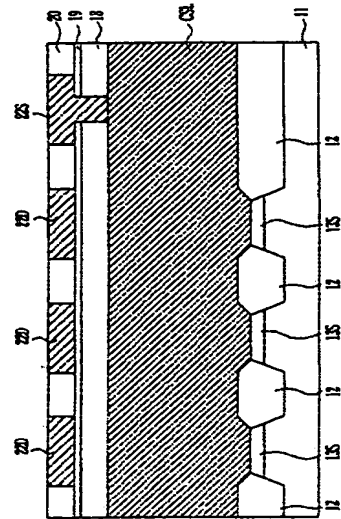
20

30

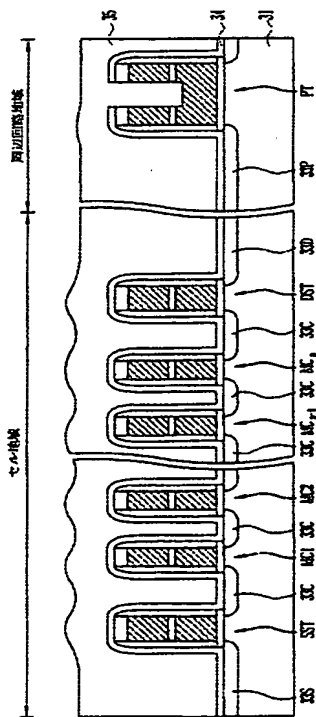
【図 1 a】



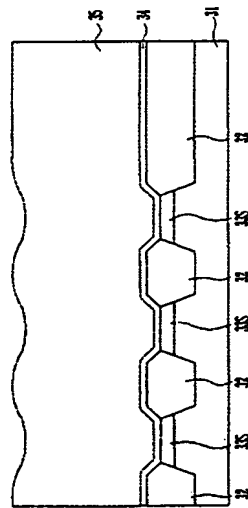
【図 1 b】



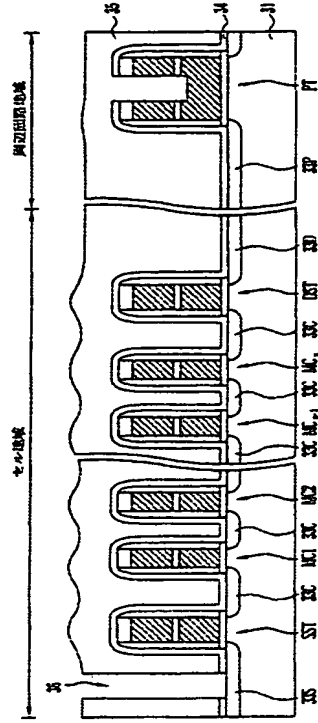
【図 2 a】



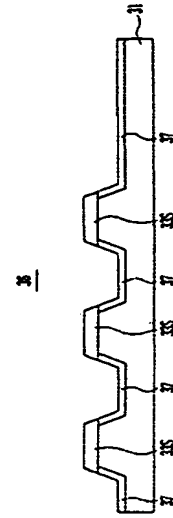
【図 2 b】



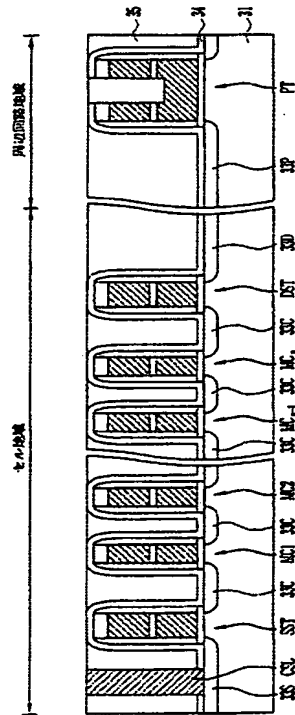
【図 3 a】



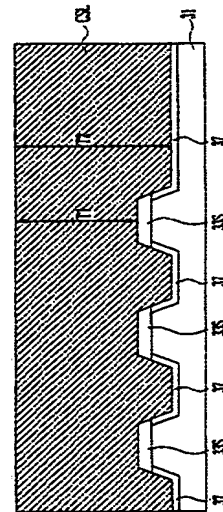
【図 3 b】



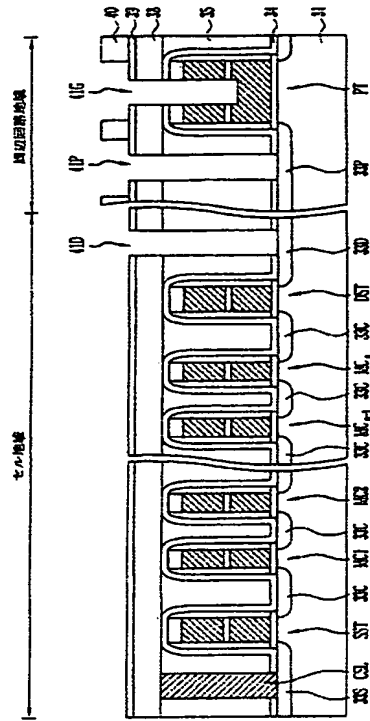
【図 4 a】



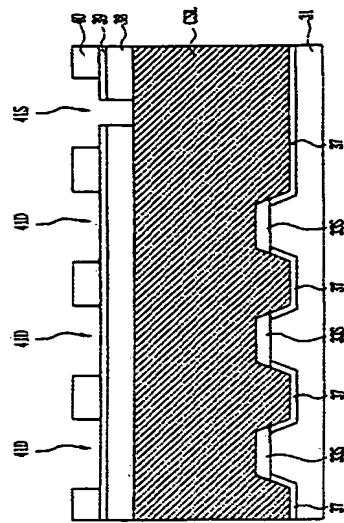
【図 4 b】



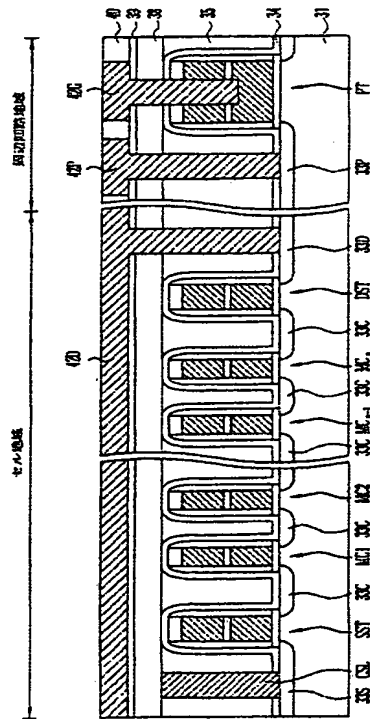
【図 5 a】



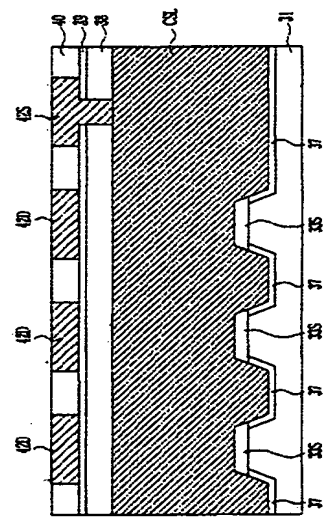
【図 5 b】



【図 6 a】



【図 6 b】



フロントページの続き

Fターム(参考) 5F101 BA01 BB05 BD22 BD24 BD34 BD35 BE07 BH13 BH21